

REPUBLICQUE TUNISIENNE MINISTERE DE L'EDUCATION		LYCEE MED ALI ANNABI RAS DJBEL
		DEVOIR DE CONTRÔLE N°1
DISCIPLINE :	SCIENCES TECHNIQUES	Durée : 2 heures
Epreuve :	GENIE ELECTRIQUE	4 <sup>ème</sup> SC.TECH

### Gestion des entrées/ sorties des camions

Le système de gestion permet d'autoriser ou d'interdire l'entrée des camions dans la cour d'une installation de stockage de blé à double issues débouche sur deux rues opposées. de façon que le nombre de camions admis ne dépasse pas le nombre fixé à l'avance par l'opérateur.



Fig1

Schéma de principe

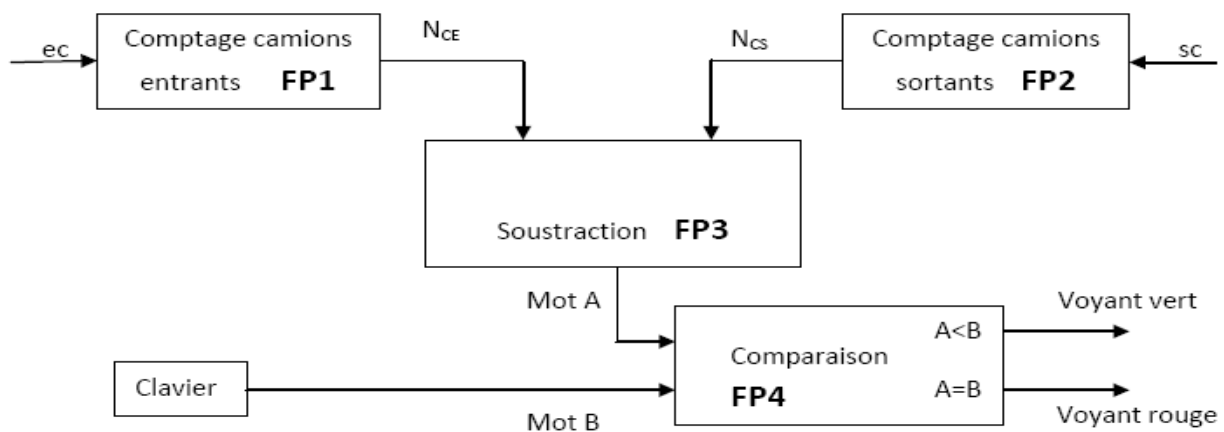


Fig2

Le système de gestion permet d'autoriser ou d'interdire l'entrée des camions dans la cour de l'installation de stockage de blé. A partir d'un clavier, l'opérateur fixe le nombre maximum de camions admis dans la cour « mot B ». Le « mot A » sortie du soustracteur, est comparé au « mot B » pour signaler l'autorisation ou l'interdiction de l'entrée des camions.

On dispose d'un clavier matriciel à 16 touches (0 à F) constitué de 4 colonnes et de 4 lignes. L'appuie sur une des touches du clavier met en contact la ligne et la colonne concernée.

On désire récupérer le numéro de la touche enfoncée sur 4 bits **D0** à **D3**. Une des solutions consiste à utiliser un multiplexeur et un démultiplexeur, comme le montre la figure 3 voir dossier technique :

Les sorties du sous ensemble horloge compteur fournissent sur le bus **D0** à **D3** un nombre codé en binaire évoluant de 0 à 15. Les 2 bits de poids fort (**D2** et **D3**) servent à l'adressage du démultiplexeur qui balaye alors les lignes du clavier en les reliant au **5 V**, tandis que les 2 bits de poids faible (**D0** et **D1**) adressent le multiplexeur qui balaye les colonnes . Dans le cas de la figure 3 (vu la position de MUX et du DMUX) c'est le nombre 0 qui est présent sur le bus.

Lorsqu'une touche est enfoncée elle relie la ligne et la colonne concernée et un niveau logique 1

apparaît en sortie DTA (Détection Touche Appuyée) lorsque MUX et DMUX sont dans la bonne position. Le compteur est alors arrêté et le balayage est interrompu: on peut alors lire le numéro de la touche enfoncée sur le bus D0 à D3.

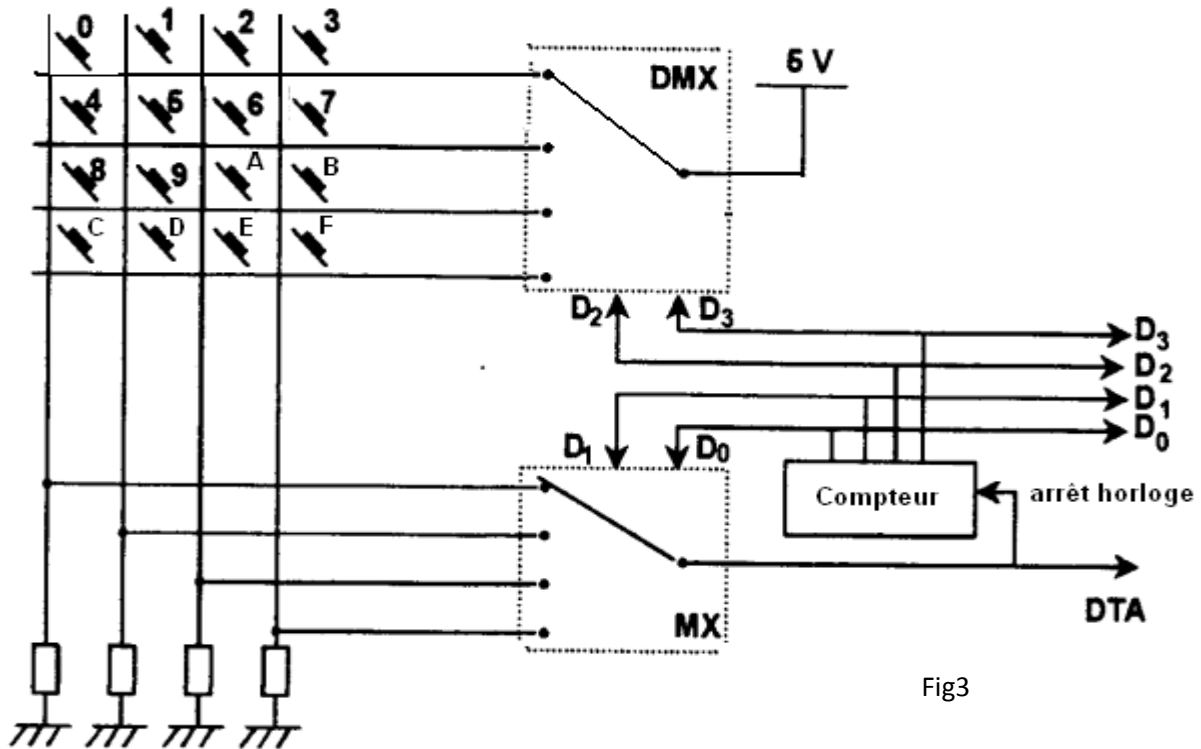
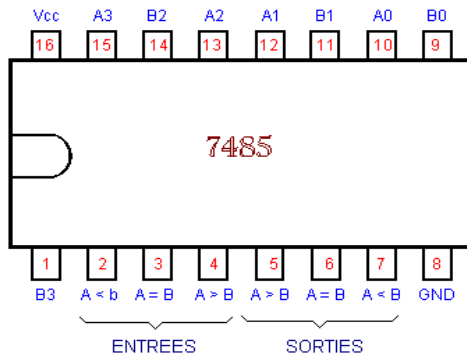


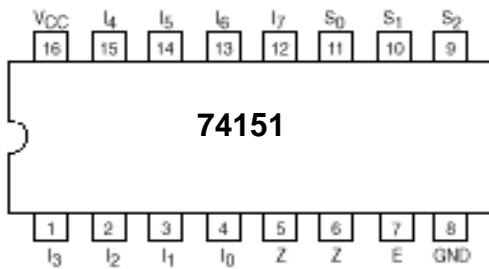
Fig3

### Circuit 7485



Entrées des nombres				Entrées cascadables			Sorties		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	1	0	0
A3 < B3	X	X	X	X	X	X	0	1	0
A3 = B3	A2 > B2	X	X	X	X	X	1	0	0
A3 = B3	A2 < B2	X	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	0	0	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	1	0	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	1	0	0	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	0	1	1	0

## Circuit 74151

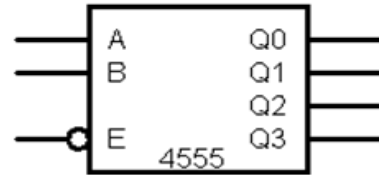


E	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	I <sub>0</sub>	I <sub>1</sub>	I <sub>2</sub>	I <sub>3</sub>	I <sub>4</sub>	I <sub>5</sub>	I <sub>6</sub>	I <sub>7</sub>	Z	Z
H	X	X	X	X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Don't Care

## Circuit 74151

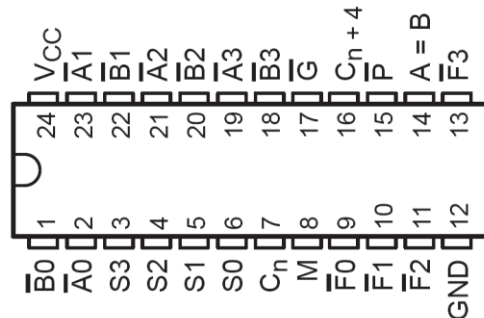
4555 : Décodeur binaire/décimal



- ✓ **E** : Entrée de validation. Elle doit être mise à la masse (0L) pour activer le circuit.
- ✓ **A** et **B** : deux entrées binaires.

Entrées			Sorties			
E	B	A	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
1	x	x	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	1	0	0
0	1	0	0	0	1	0
0	1	1	0	0	0	1

X : sans importance



## Circuit 74181

Sélection				M = 1	M = 0	
S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	Opération logique	C <sub>n</sub> = 1	C <sub>n</sub> = 0
0	0	0	0	$F = \bar{A}$	$F = A$	$F = A \text{ plus } 1$
0	0	0	1	$F = \overline{A+B}$	$F = A+B$	$F = (A+B) \text{ plus } 1$
0	0	1	0	$F = \overline{A \cdot B}$	$F = A + \bar{B}$	$F = (A + \bar{B}) \text{ plus } 1$
0	0	1	1	$F = 0$	$F = \text{moins } 1$	$F = 0$
0	1	0	0	$F = \overline{A \cdot B}$	$F = A \text{ plus } A \cdot \bar{B}$	$F = A \text{ plus } A \cdot \bar{B} \text{ plus } 1$
0	1	0	1	$F = \bar{B}$	$F = (A+B) \text{ plus } A \cdot \bar{B}$	$F = (A+B) \text{ plus } A \cdot \bar{B} \text{ plus } 1$
0	1	1	0	$F = A \oplus B$	$F = A \text{ moins } B \text{ moins } 1$	$F = A \text{ moins } B$
0	1	1	1	$F = A \cdot \bar{B}$	$F = A \cdot \bar{B} \text{ moins } 1$	$F = A \cdot \bar{B}$
1	0	0	0	$F = \overline{A+B}$	$F = A \text{ plus } A \cdot B$	$F = A \text{ plus } A \cdot B \text{ plus } 1$
1	0	0	1	$F = A \oplus B$	$F = A \text{ plus } B$	$F = A \text{ plus } B \text{ plus } 1$
1	0	1	0	$F = B$	$F = (A + \bar{B}) \text{ plus } A \cdot B$	$F = (A + \bar{B}) \text{ plus } A \cdot B \text{ plus } 1$
1	0	1	1	$F = A \cdot B$	$F = A \cdot B \text{ moins } 1$	$F = A \cdot B$
1	1	0	0	$F = 1$	$F = A \text{ plus } A$	$F = A \text{ plus } A \text{ plus } 1$
1	1	0	1	$F = A + \bar{B}$	$F = (A+B) \text{ plus } A$	$F = (A+B) \text{ plus } A \text{ plus } 1$
1	1	1	0	$F = A+B$	$F = (A + \bar{B}) \text{ plus } A$	$F = (A + \bar{B}) \text{ plus } A \text{ plus } 1$
1	1	1	1	$F = A$	$F = A \text{ moins } 1$	$F = A$

Lycée Med Ali Annabi Ras Djbel	<b>DEVOIR DE CONTRÔLE N°1</b> Discipline : Génie électrique		Nom et Prénom : .....	
			Classe : 4 <sup>ème</sup> SC.tech...	Note : ...../20
Date : .....	Horaire :2 heures	Coefficient : 4	N° : .....	

**A - Etude d'un soustracteur binaire (3pts)**

A-1- Soit l'additionneur binaire suivant tel que  $A(A_3A_2A_1A_0)$  représente la 1<sup>ère</sup> opérande,  $B(B_3B_2B_1B_0)$  représente la 2<sup>ème</sup> opérande,  $S(S_3S_2S_1S_0)$  représente la somme,  $C_4$  représente la dernière retenue et  $C_0$  représente la 1<sup>ère</sup> retenue.



A-1-1- Calculer  $S$  et  $C_4$  pour  $A = 1011$  et  $B = 0101$  :

.....  
.....  
.....

A-1-2- Soit  $A'$  le complément à 2 de  $A$

Cocher la réponse exacte : sur un format  $\alpha$  bits.

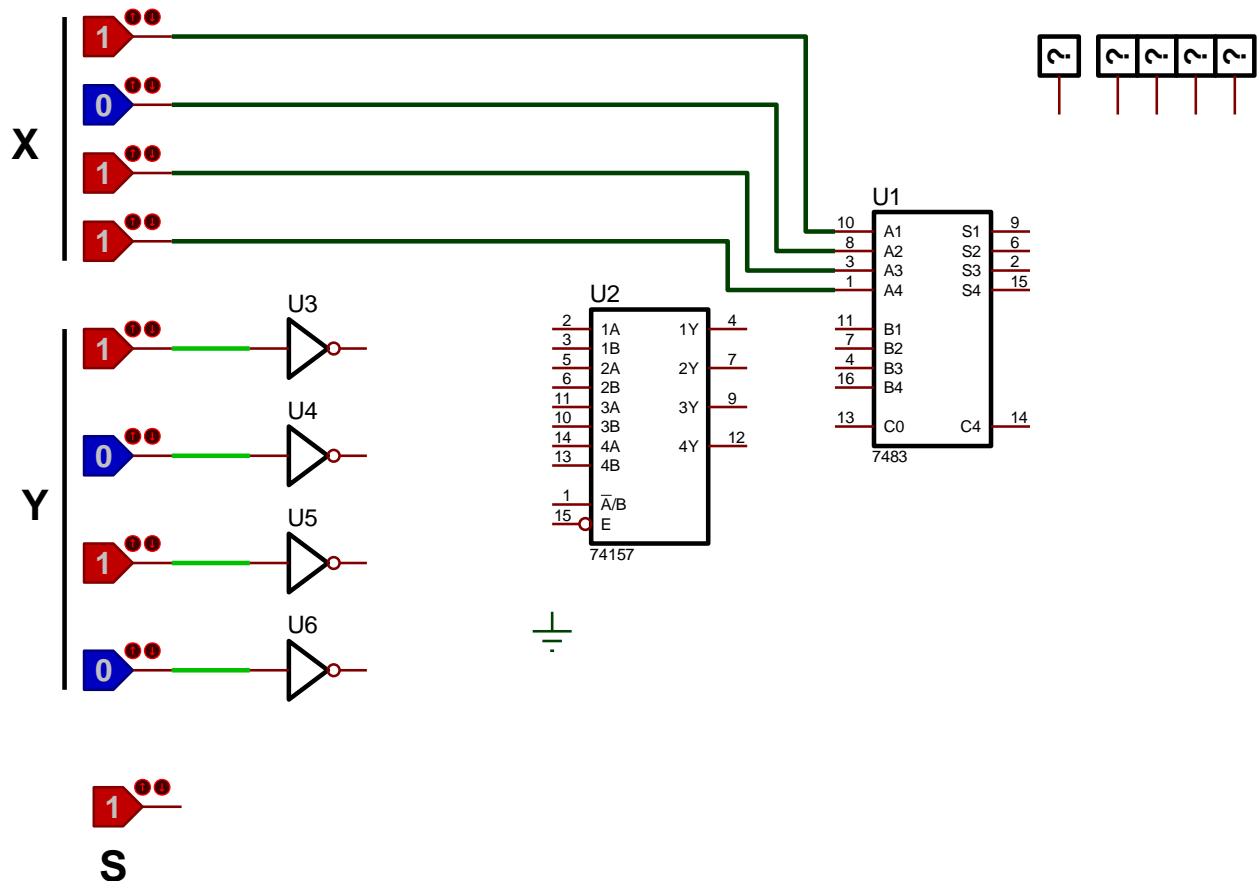
$A' = \bar{A}$

$A' = 2^\alpha - A$

$A' = \bar{A} + 1$

$A' = \bar{A} - 1$

A-1-3- La fonction **FP3** de gestion des entrées/ sorties des camions génère le mot  $A = X - Y$   
Compléter le schéma à base d'additionneur 4 bits le **74283** permettant de réaliser cette fonction



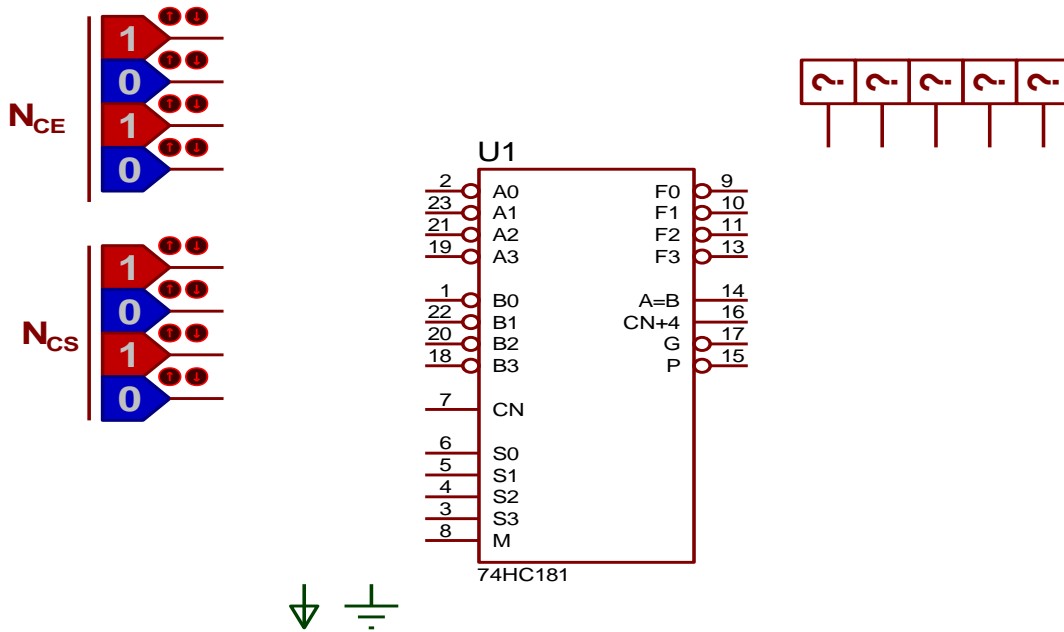
**A -2- Etude d'une unité arithmétique et logique : (5pts)**

Si on remplace l'additionneur intégré par une unité arithmétique et logique **UAL 74LS181** pour réaliser la fonction **FP3** et d'autres fonctions ( voir dossier technique page 3).

A -2-1- on demande de compléter le tableau suivant :

$S_3S_2S_1S_0$	M	$C_n$	Fonction réalisée	$A_3A_2A_1A_0$	$B_3B_2B_1B_0$	$F_3F_2F_1F_0$
1001	0	0	F=.....	0101	0111	.....
0110	0	1	F=.....	0111	0011	.....
0110	1	x	F=.....	1111	.....	1010

A -2-1- La fonction **FP3** de gestion des entrées/ sorties des camions génère le mot  $A = N_{CE} - N_{CS}$   
 Compléter le schéma à base de circuit **74181** permettant de réaliser cette fonction



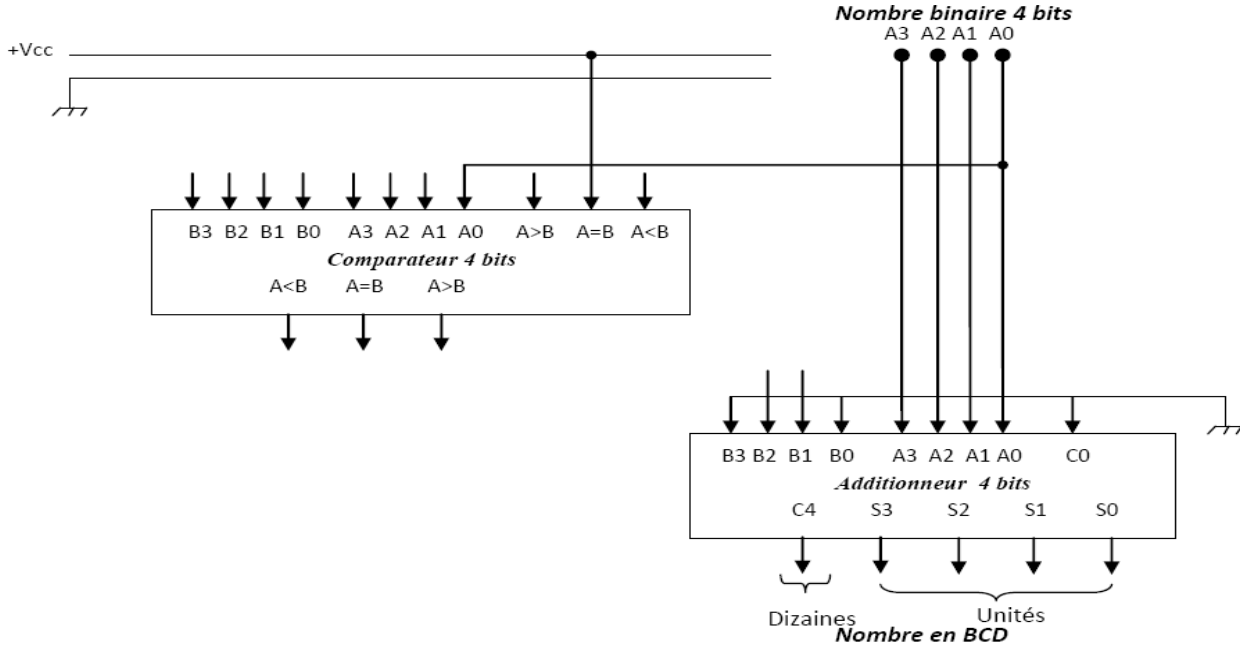
**A -3-Etude d'un additionneur BCD (4.5pts)**

On souhaite réaliser un convertisseur binaire  $\Rightarrow$  **BCD**, en utilisant un comparateur intégré **74HC85** et additionneur intégré **74HC283**, (voir dossier technique page 2/3 ) .

Compléter le schéma d'un convertisseur binaire 4 bit  $(A_3 A_2 A_1 A_0) \Rightarrow$  **BCD** en utilisant ces deux circuits ; sachant que pour convertir un nombre binaire supérieur à **9** en **BCD** on ajoutera **6** à ce nombre pour obtenir son équivalent en **BCD**.

A -3-1- Réaliser en **BCD** l'opération suivante : **74 + 32**

**A -3-2-** Compléter le schéma suivant :

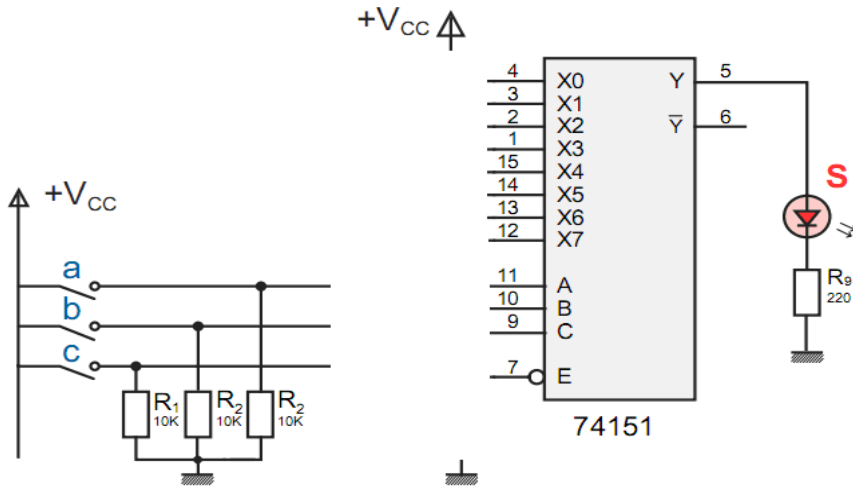


**A-4- Génération de fonctions logiques (4.5pts)**

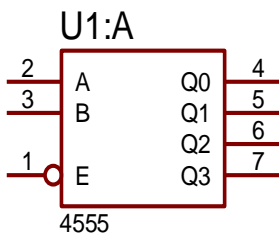
Un multiplexeur à  $2^n$  entrées peut réaliser une fonction logique à  $n$  variables, par exemple, avec le multiplexeur **74LS151** à 8 entrées, on peut réaliser une fonction logique à 3 variables. En se référant au Fiche technique du multiplexeur intégré à 8 voies : le **74151** ( voir dossier technique page 3/3)

**A-4-1-**Réaliser la fonction logique à 3 entrées a, b, et c, et à une sortie S.

$$S = \bar{a}.\bar{b}.\bar{c} + a.\bar{b}.\bar{c} + \bar{a}.b + \bar{b}.\bar{c}$$



**A-4-2-**On donne le circuit 4555  
(Voir dossier technique page 3/3)  
Tracer les chronogrammes  
des sorties Yi.



### A-5-Schéma structurel du décodage du clavier matriciel : ( 3pts)

En se référant au schéma de principe du clavier donné à la page 2/3 du dossier technique :

Compléter les liaisons d'entrées d'adresse du démultiplexeur,

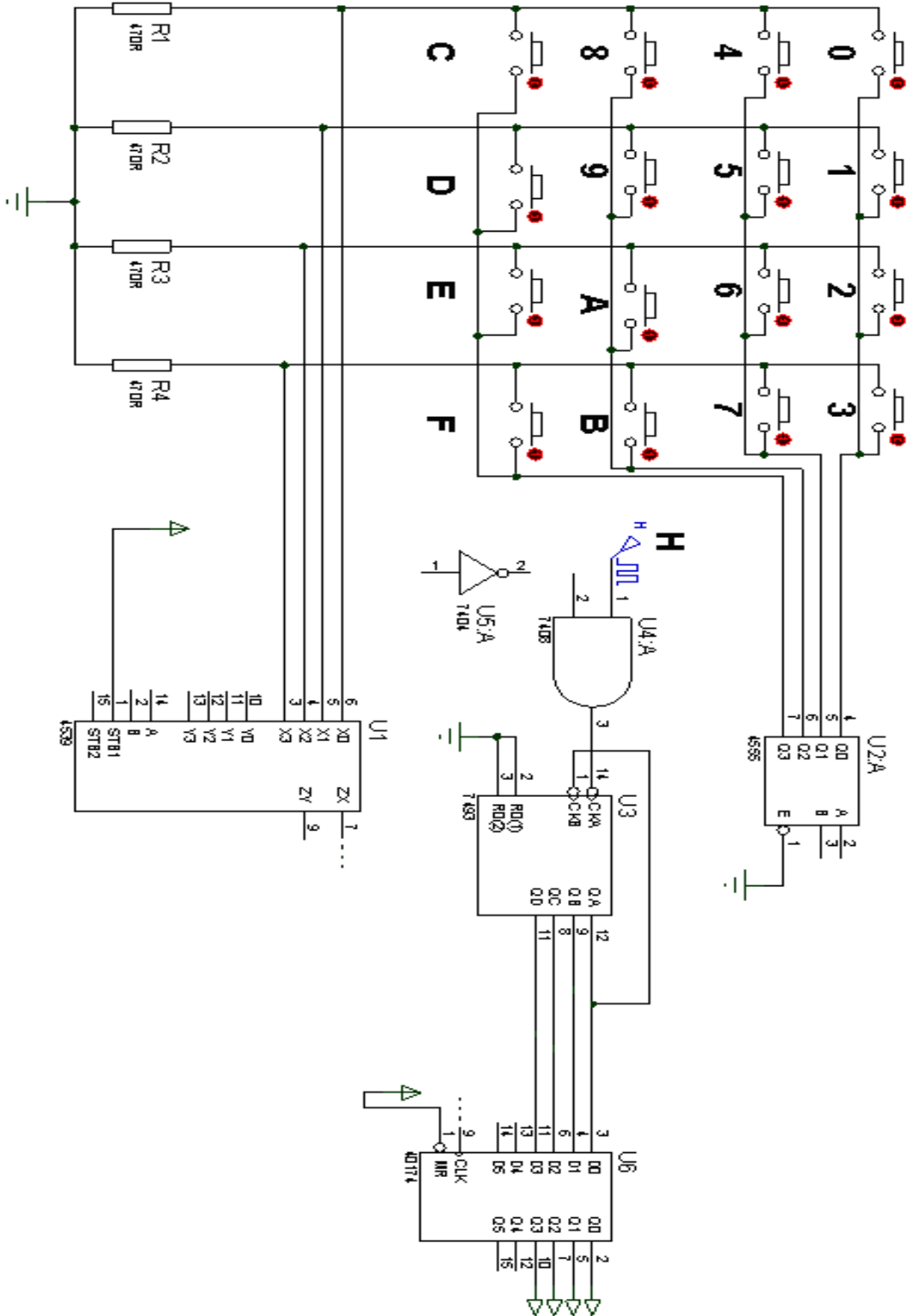
Compléter les liaisons d'entrées d'adresse du multiplexeur,

Compléter les liaisons permettant l'arrêt du compteur et la mémorisation du mot B

A l'instant où les sorties du CI 4555 (  $Q_3Q_2Q_1Q_0 = 1000$  ) lorsqu'on appuis sur la touche E préciser l'états des entrées (  $X_3X_2X_1X_0$  ) du CI 4539 et le mot B

$X_3X_2X_1X_0 = \dots\dots\dots$  mot **B** =  $\dots\dots\dots$

quel est le modulo du compteur à base du CI 7493 justifier  $\dots\dots\dots$



**Mot B vers comparateur**